## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2002111712 A

(43) Date of publication of application: 12.04.02

(51) Int. CI

H04L 12/56

(21) Application number: 2000295688

(22) Date of filing: 28.09.00

(71) Applicant: **NEC CORP** 

(72) Inventor:

**KOBAYASHI HIROSHI** 

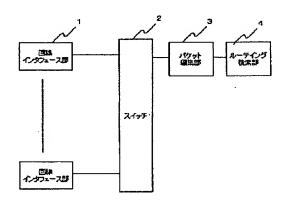
## (54) LOAD LEVELING SYSTEM IN HARDWARE ROUTING

(57) Abstract:

PROBLEM TO BE SOLVED: To eliminate such a bottleneck that only one routing process mechanism is provided in the structure of the technical field of the above title and improve the performance of the system by centralizing the processes and realizing high speed processing in the packet editing.

SOLUTION: The load leveling system comprises a line interface control unit 1 for controlling corresponding layers 1, 2 of each protocol such as the Ethernet (R) and ATM or the like, a switch 2 for connecting the interface control unit 1, a packet editing unit 3 and a load leveling unit 5, a plurality of packet editing units 3 for receiving a packet from each line interface and transferring the packets to the relevant line by conducting the packet editing depending on the protocol of the transfer line depending on the result of process of a routing search unit 4, and the routing search unit 4 for judging the line which is connected to each packet editing unit 3 to transfer a packet header information therefrom and transfer a class or the like of the packet information to be edited to the packet editing unit 3.

COPYRIGHT: (C)2002, JPO



<u>2</u>2 (19) 日本国格許庁 (JP)

報(4) 4 盐 华 噩 4

**特開2002**—111712 (11)特許出版公開番号

(P2002-111712A)

(43)公開日 平成14年4月12日(2002.4.12)

(2) 四月中

H04L 12/56

(51) Int.Cl.<sup>7</sup>

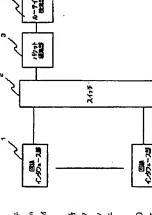
デーマコート (参考) 102A 5K030 H04L 11/20 **謝求項の数3** OL (全4 頁) 警查辦水 右

## ハードウェアルーティングの負荷分散方式 (54) [発明の名称]

(57) [獎約]

イング処理機構は1個であるために、処理が集中し、か つパケット編集で高速な処理が実現できなければここが 【醍題】 従来におけるこの種の技術の構成ではルーテ ボトルネックとなり、性能が上がらない。

フェース制御路1と、インタフェース制御部1とパケッ ト福集部3及び負荷分散制御部5とを接続するスイッチ ット編集部3に接続されそれらからのパケットヘッダ情 【解決手段】 イーサネット (登録商牒)、ATM等各 価プロトコルのレイヤ1、2相当を制御する回線インタ ルーティング検索部4の処理結果により転送する回線の プロトコルに従ったパケット編集を実施し該当の回線に パケットを転送する複数のパケット編集部3と、各パケ 報により転送される回線を判定し、編集すべきパケット 情報の種別等をパケット編集部3に引き渡すルーティン 2と、各回数インタフェースからのパケットを受信し、 が做発師4とを設ける。



(特許請求の範囲)

VLAN関転送、マルチプロトコル転送 装置において、パケット編集処理及びルーティング処理 を実行する複数組のパケット編集、ルーティング処理手 **殺と、該パケット編集、ルーティング処理手段の処理状** 態を監視して、負荷を均等に分散する負荷分散制御手段 とを具備し、パケット転送性能を向上させることを特徴 里、パケットヘッダ編集をハードウェアで実現する通信 を行う通信装置で、特に各ネット間のルーティング処 とするハードウェアルーティングの負荷分散方式。

【請求項2】 前記パケット編集、ルーティング処理手 段は、イーサネット、ATM等各種プロトコルのレイヤ 信し、後記ルーティング検索回路の処理結果により転送 する回線のプロトコルに従ったパケット編集を実施し該 と、該各パケット編集回路に接続され該各パケット編集 回路からのパケットヘッダ僧報により転送される回線を 該インタフェース制御回路と後記パケット編集回路及び ッチと、前記各回線インタフェースからのパケットを受 当の回線にパケットを転送する複数のパケット編集回路 判定し、編集すべきパケット情報の種別等を該パケット 編集回路に引き渡すルーティング検索回路とを有するこ 後記負荷分散制御回路とを接続するクロスポイントスイ とを更に特徴とする請求項1に記載のハードウェアルー 1、2相当を制御する回線インタフェース制御回路と、 ティングの負荷分散方式。

編集回路への転送指示を行うことで負荷分散を実施する 【請求項3】 前記負荷分散制御手段は、前記各パケッ ス回路からの処理要求に対して空いている前記パケット ト編集回路の処理状態を監視し、前記回線インタフェー 負荷分散制御回路であることを更に特徴とする請求項1 または2のいずれか一項に記載のハードウェアルーティ ングの負荷分散方式。

[発明の詳細な説明]

[0001]

【発明の属する技術分野】本発明は、ハードウェブルー ティングの負荷分散方式に関し、更に詳しくは、VLA N間転送、マルチプロトコル転送を行う通信装置で、特 に各ネット間のルーテング処理、パケットヘッダ編集を これらの処理状態を監視し、負荷を均等に分散すること により、パケット転送性能を向上させるハードウェアル ハードウェアで実現する通信装置において、複数のルー ティング処理、パケット編集用ハードウェアを具備し、 ーティングの負荷分散方式に関する。

[0002]

【従来の技術】図2はハードウェアでルーティング処理 を行う従来における装置の構成例を示すブロック図であ [0003]しかるに、図2に示されたような構成では ルーティング処理機構は1個であるために、処理が集中 し、かつパケット編集で高速な処理が実現できなけれ

特開平14-1117以

3

ば、ここがボトルネックとなり、性能が上がらないとい

[0004]上記問題を解決する手段として、特勝20 00-13439号公報に開示された技術が提案されて

は、ヘッダ情報の1つまたは複数を抽出し読み込み、読 【0005】上記公報に開示されている技術は、2個の 間はマルチリンク接続されており、第1のルータにはパ ケットからヘッダ情報を抽出する手段と、ヘッダ情報を **決定する手段を備えている。そして、他のルータへ直接** ティングを行う必要があるパケットが入ってきた場合に 情報が同一であるパケットの出カインタフェースは常に 同一となるために、パケットの順序逆転が起こることが ない。また、上記ハッシュ計算式として、流れている鼠 ルータが設けられており、第1のルータ、第2のルータ キーとしてハッシュ計算等により出カインタフェースを い、その計算結果であるハッシュ値に対応するインタフ ェースにパケットを出力する。従って、抽出したヘッダ の多いパケットに帯域の広い経路が割り当てられるよう **な関数を用いることにより、負荷集中を回避することが** 接続されている経路が複数存在するルータに対してルー み込んだヘッダ情報をキーとしてハッシュ計算等を行 でき、負荷分散を図ることが可能となる。

[0000]

【発明が解決しようとする課題】しかしながら、上記公 は、構造が複雑化されるばかりか、高度な処理技術を必 報に開示されているマルチリンク型ルーティング方法 要とするという欠点があった。

ものであり、従って本発明の目的は、従来の技術に内任 ウェアルーティングの負荷分散方式を提供することにあ [0007] 本発明は従来の上記実付に鑑みてなされた する上記欠点を解消することを可能とした新規なハート

[0008]

ットヘッダ編集をハードウェアで実現する通信装置にお る複数組のパケット編集、ルーティング処理手段と、核 て構成され、パケット転送性能を向上させることを特徴 【機題を解決するための手段】上記目的を達成するため に、本発明に係るハードウェアルーティングの負荷分散 方式は、VLAN間転送、マルチプロトコル転送を行う 通信装置で、特に各ネット間のルーティング処理、パケ いて、パケット編集処理及びルーティング処理を実行す パケット編集、ルーティング処理手段の処理状態を監視 して、負荷を均等に分散する負荷分散制御手段とを備え としている。

【0009】前記パケット編集、ルーティング処理手段 該インタフェース制御回路と後記パケット編集回路及び 1、2相当を制御する回線インタフェース制御回路と、 は、イーサネット、ATM等各種プロトコルのレイヤ

後記負荷分散制御回路とを接続するクロスポイントスイ

特開平14-111712

3

する回数のプロトコルに従ったパケット編集を実施し該 当の回線にパケットを転送する複数のパケット編集回路 と、該各パケット編集回路に接続され該各パケット編集 ッチと、前記各回級インタフェースからのパケットを受 信し、後配ルーティング検索回路の処理結果により転送 回路からのパケットヘッダ情報により転送される回線を 料定し、編集すべきパケット情報の顧別等を抜パケット 編集回路に引き渡すルーティング検索回路とを有してい

集団路への転送指示を行うことで負荷分散を実施する負 【0010】前記負荷分散制御手段は、前記各パケット 編集回路の処理状態を監視し、前記回線インタフェース 回路からの処理要求に対して空いている前配パケット編 荷分散制御回路である。

[0011]

【発明の実施の形態】次に、本発明をその好ましい一実 【0012】図1は本発明による一実施の形態を示すプ 脳の形態について図面を参照しながら詳細に説明する。

[0013]

ロック構成図である。

[英施の形態の構成] 図1を参照するに、1はイーサネ ット、ATM符各価プロトコルのレイヤ1、2相当を制 御する回線インタフェース制御回路である。

**【0014】2は回殺インタフェース側御回路1、パケ** ット編集回路3、負荷分散制御回路5を接続するクロス ポイントスイッチである。

トを受信し、ルーティング検楽回路4の処理結果により 転送する回線のプロトコルに従ったパケット編集を実施 し、核当する回線にパケットを転送するパケット編集回 [0015] 3は各回線インターフェースからのパケッ 路を示している。 【0016】4はパケット編集回路3からのパケットへ ッダ債報により、低送される回線を判定し、編集すべき パケット情報の種別等をパケット編集回路3に引き渡す ルーナィング校接回路である。

【0017】5はパケット編集回路3の処理状態を監視 こ、空いているパケット編集回路3への転送指示を行う し、インタフェース制御回路1からの処理要求に対し

【0018】6はパケット福集回路3の処理状態を表示 ことで負荷分散を実施する負荷分散制御回路である。

する信号線である。 [0019] 【実施の形態の動作】次に本発明による一実施の形態の

動作について説明する。

理状態を監視し、空いているパケット編集回路3への転 、を受信すると、負荷分散制御回路5に処理要求を転送 する。負荷分散制御回路5は、パケット編集回路3の処 【0020】回線インタフェース制御回路1は、パケッ 送指示を回線インタフェース回路1に返送する。

**脚回路5からの転送指示に従い、指定されたパケット編** は受信したパケットのヘッダ情報をルーティング検索回 [0021] 回線インタフェース回路1は、負荷分散制 集回路3へのパケット転送を行う。パケット編集回路3 路4に転送する。 【0022】ルーティング検索回路4は、パケット編集 回路3からの受信したヘッダ情報により、転送する回線 ケット情報の種別、アドレス等の情報をパケット編集回 インタフェース、アドレス等を検索し、転送に必要なパ 格3に転送する。パケット編集回路3は負荷分散制御回 路5から受信した情報によりパケット編集を行い、転送 先の回線インタフェース制御回路に編集したパケットを 反送する。

(0023)

るものであり、本発明によれば以下に示すような効果が [発明の効果] 本発明は、以上の如く構成され、作用す 得られる。

【0024】ハードウエアによりパケット編集を行う場 合には、複雑な処理が必要となるために、処理時間が増 回する。

スピードの高速化、内部処理の並列化等高度で複雑な機 【0025】処理時間短縮のためには、回路のクロック が、本発明では、並列してパケット編集を行うことによ **持が必要であり、回路を安定させることが困難になる** り、容易に処理能力を向上させることができる。

[図画の簡単な説明]

【図1】本発明の一実施の形態を示すブロック構成図で

[図2] 従来技術を示すプロック図である。

符号の説明】

…回数インタフェース回路

2…クロスポイントスイッチ

3…パケット編集回路

4…ルーティング検索回路

5…負荷分散制御回路

6…パケット編集回路3の処理状態を表示する信号線

[<u>M</u>2] ¥4. (図1) 717